

## ⑫ 公開特許公報(A) 平1-271869

⑤ Int. Cl.<sup>4</sup>G 06 F 15/20  
H 03 K 19/00

識別記号

庁内整理番号

D-7230-5B  
D-8326-5J

⑬ 公開 平成1年(1989)10月30日

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 伝達遅延時間計算方法

⑯ 特 願 昭63-100803

⑰ 出 願 昭63(1988)4月22日

⑱ 発 明 者 薄 井 敏 正 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 1. 発明の名称

伝達遅延時間計算方法

## 2. 特許請求の範囲

1. 半導体集積回路の論理シュミレーション方法において、各出力端子に接続される負荷及び配線の容量を計算する第1の計算工程と、各ゲートの出力信号の立ち上り・立ち下り時間を計算する第2の計算工程と、前記2つの計算工程で計算された結果に基づいて伝達遅延時間を計算する第3の計算工程とを含むことを特徴とする伝達遅延時間計算方法。

2. 前記伝達遅延時間の計算は、入力波形の立ち上り・立ち下り時間と負荷容量の2つのパラメーターにより行なわれる事を特徴とする特許請求範囲第1項記載の伝達遅延時間計算方法。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は半導体集積回路の論理シュミレーションに関し、特にCMOS回路の伝達遅延時間の計算方法に関する。

## 〔従来の技術〕

近年、ゲートアレーや、マイクロプロセッサなどCMOSの論理集積回路が急速に増えて来ている。この様な論理回路の回路設計には、コンピュータを使用して、様々な回路シュミレーションが行なわれており、トランジスタレベルで回路シュミレーションを行なうSPICEなどのデバイスシュミレーターから、回路の論理のみのシュミレーションを行なうシュミレーターまで様々なシュミレーターが現在使われている。

## 〔発明が解決しようとする課題〕

特に、ゲートアレーの回路設計においては、回路規模が非常に大きいのでトランジスタレベルでシュミレーションを行なうデバイスシュミレーターでのシュミレーションは、コンピュータの

処理時間がかかりすぎ、回路全体のシュミレーションを行なう事は、ほとんど不可能である。その為、一般的に広く用いられているシュミレーション方法は、まず、回路で使用されている各ゲート、ブリップ・フロップなどの伝達遅延時間を求めておき、その伝達遅延時間に基づいて回路の論理シュミレーションを行なう方法である。この方法ならば、大規模な回路のシュミレーションも短時間でコンピュータ上で処理出来る。しかしながら、処理時間が短くなる代りに、デバイスシュミレーターに比べると、伝達遅延時間の計算精度が低下してしまうという欠点がある。

従来の伝達遅延時間の方法は、伝達遅延時間がその負荷容量すなわち、その出力端子に接続されている配線容量と入力容量のみによって決定されるというものであった。例えば、第2図に示す回路において、NANDゲート20の伝達遅延時間を算出する場合、NANDゲート20の出力端子に接続されているNORゲート21とNANDゲート22の入力容量 $C_{i1}$ と $C_{i2}$ と配線容量 $C_w$ の

- 3 -

形の立ち上がり時間 $t_r$ を $t_r = 1\text{ nS}$ ,  $2\text{ nS}$ ,  $4\text{ nS}$ ,  $10\text{ nS}$ と変えた時の負荷容量特性を示す。第4図の様に、入力波形の立ち上がり時間が小さい場合には、伝達遅延時間は負荷容量に対して直線的に増加して行くが入力波形が鈍り立ち上がり時間が大きくなると、伝達遅延時間は負荷容量に対して一次式では表わせなくなり、伝達遅延時間そのものもかなり大きくなる。具体的な数値で示すと、負荷容量 $C_L = 1.0\text{ pF}$ で入力波形の $t_r = 1\text{ nS}$ では $t_{pd} = 1.1\text{ nS}$ であるのに対して、 $t_r = 10\text{ nS}$ では $t_{pd} = 2.4\text{ nS}$ と2倍以上の差がある。実際の回路では入力波形の $t_r$ はそれほど大きくなりませんがそれでも $5\text{ nS}$ 程度にはなるので、伝達遅延時間の見積りを従来の様に一次式で行なっている場合と比べると、かなりの誤差が生じる事が明らかである。また、CMOS回路はPチャンネル型トランジスタと、Nチャンネル型トランジスタより構成されており、ゲートアレイの様に使用出来るトランジスタのチャンネル長 $L$ と、チャンネル幅 $W$ が一定の場合、回路構成に

- 5 -

和がNANDゲート20の総負荷容量となるから、総負荷容量 $C_L$ は、 $C_L = C_{i1} + C_{i2} + C_w$ となる。NANDゲート、NORゲートなどの伝達遅延時間の負荷容量依存性はおよそ第3図に示す様な特性となり、ほぼ直線近似が可能と考えられていたので、NANDゲート20の伝達遅延時間は $F$ を定数とすると

伝達遅延時間 $t_{pd} = F \cdot C_L = F \cdot (C_{i1} + C_{i2} + C_w)$ となる。

しかしながら、CMOS回路による半導体集積回路では、様々な要因によって伝達遅延時間が変動することが知られており、上記の式の様な、直線近似では計算精度が悪い。主な変動要因としては、入力波形による影響と論理スレッショールドレベルの変動の2点が上げられる。入力波形による伝達遅延時間の変動は、ゲートに立ち上り、立ち下り時間の大きい波形を入力した時と、立ち上り・立ち下り時間の小さな波形を入力した時では、伝達遅延時間が大きく変わってしまうことである。第4図にNORゲートの伝達遅延時間を入力する波

- 4 -

によって入力スレッショールド電圧が大きく変わってしまう。第5図(a)と(b)にCMOSのNANDゲートとNORゲートの回路の例を示す。 $10 \sim 10''$ はPチャンネル型トランジスタで、 $11 \sim 11''$ はNチャンネル型トランジスタである。NANDゲートではPチャンネル型トランジスタが並列に接続され、Nチャンネル型トランジスタは、直列に接続されているので、回路のスレッショールド電圧は低くなる。逆にNORゲートでは、Pチャンネル型トランジスタが直列になり、Nチャンネル型トランジスタが並列となるので、スレッショールド電圧は高くなる。第6図にNORゲート、NANDゲートの伝達特性(入力電圧 $\leftrightarrow$ 出力電圧特性)の例を示す。第6図において、実線はNORゲートの伝達特性で、点線はNANDゲートの伝達特性である。第6図からNANDゲートとNORゲートのスレッショールド電圧は、それぞれ、およそ $3.0\text{ V}$ と $2.1\text{ V}$ となり、実に $1\text{ V}$ 近いスレッショールド電圧の差があることが解かる。これが、3入力ゲートや4入力ゲートなど多

- 6 -

入力になればなるほどスレッシュホールド電圧の差が大きくなって来る。論理シュミレーションにおいては、信号は“1”または“0”の値しか取らないので、立ち上り・立ち下りの時間は考慮されない。その為、ゲートによってスレッシュホールド電圧に差があると、立ち上り・立ち下り時間の大きな波形を入力した時に伝達遅延時間に、大きな誤差が発生してしまう。具体的な例で考えると、論理シュミレーションでのスレッシュホールド電圧を2.5Vとして、0V～5Vまでの立ち上り時間10nSの信号を2入力NANDゲートと、2入力NORゲートに入力した場合では、2入力NORゲートは実際の論理スレッシュホールド電圧が2.1Vであるので、 $10(\text{nS}) \times (2.5 - 2.1) / 5 = 0.8(\text{nS})$ より、NORゲートは0.8nS早く動作する。一方NANDゲートは、実際のスレッシュホールド電圧が3.0Vであるので、 $10(\text{nS}) \times (2.5 - 3.0) / 5 = -1.0(\text{nS})$ より、1nSも遅れて動作する事になる。NANDゲートやNORゲートの $t_{pd}$ が1～数nSである事から考えると、こ

- 7 -

メーターから計算される事の特徴としている。

#### 〔実施例〕

次に、図面を参照して本発明をより詳細に説明する。

第1図は、本発明の遅延時間計算プログラムのシステム構成の一実施例である。1は負荷容量、配線容量計算モジュールである。2は立ち上り・立ち下り時間計算モジュールで、3は遅延時間計算モジュールで、4はモジュール1で計算された負荷容量計算結果で、5はモジュール2で計算された立ち上り・立ち下り時間計算結果である。6はモジュール3で計算された、遅延時間計算結果で、7は各種計算を行なう為のライブラリファイルである。本発明の遅延時間計算は、まず第1ステップとして、解析を行なう回路の接続情報と、配線容量のデータ、及び、ライブラリ7より各ゲートの出力端子に接続される総負荷容量が計算され計算結果4に出力される。第2ステップとして、第1ステップで計算された負荷容量とライブラリ7より各出力端子の出力信号の立ち上り・

- 9 -

の誤差は非常に大きくなってしまふ。この誤差を無くす為には、論理シュミレーションの処理方法そのものを変えて、信号に立ち上り・立ち下り時間を考慮しながら論理シュミレーションを行なう様にすればよいが、論理シュミレーションでの処理が複雑になり、処理時間が非常に長くなってしまふ。従って、本発明の目的は、論理シュミレーターは従来のままにしておき、その前処理として遅延時間の計算を精度よく行なう事を目的としている。

#### 〔課題を解決するための手段〕

本発明の遅延時間計算プログラムは、負荷容量計算モジュールと、各ブロックの出力端子に接続されている負荷容量から出力信号の立ち上り立ち下り時間を計算するモジュールと、立ち上り立ち下り時間と負荷容量から遅延時間を計算するモジュール、及び遅延時間を計算する為のライブラリファイルを有している。また、遅延時間の計算方法は、そのゲートに入力される入力信号と、出力端子に接続される負荷容量との2つのパラ

- 8 -

立ち下り時間が計算され、計算結果5に出力される。第3ステップでは第1ステップ及び第2ステップで計算された結果と、ライブラリ7より各ゲートの遅延時間を入力される波形の立ち上り・立ち下り時間を考慮して遅延時間を算出する。計算された遅延時間は、論理シュミレーションの実行の際に参照され論理シュミレーションが行なわれる。第3ステップの計算では実際の回路の遅延時間が第12図の様な特性を示すことから、入力される波形の立ち上り・立ち下り時間と負荷容量の2つのパラメータに基づいて伝達遅延時間 $t_{pd}$ が計算されるので、従来の計算式である1次式に比べて伝達遅延時間 $t_{pd}$ の計算精度は向上する。また、伝達時間 $t_{pd}$ の計算誤差のもう一つの原因である。入力スレッシュホールド電圧の違いも、入力される波形の立ち上り・立ち下り時間がステップ2で計算されており、計算ライブラリ7の中に各ゲートのスレッシュホールド電圧を入れておけば、容易にスレッシュホールド電圧の誤差を計算し、補正する事が出来る。また、第2ス

- 10 -

テップでの立ち上り・立ち下り時間の計算は、出力端子の負荷容量と、計算ライブラリ 7 のパラメーターより、一次式の近似によって求められる。一般に出力の立ち上り・立ち下り時間は負荷容量に対して直線的に増加するので、特に大きな計算誤差は発生しない。

〔発明の効果〕

以上説明したように本発明は、伝達遅延時間の計算を、出力端子に接続される負荷容量と入力される波形の立ち上り・立ち下り時間の 2 つのパラメーターから行なう事によって高精度で、計算する事が出来る。また、遅延時間の計算時にこれらの要因を考慮しているので、論理シュミレーターでの処理は従来と同じでよく、論理シュミレーションの処理時間は従来のままであり、短時間に処理する事が出来る。

4. 図面の簡単な説明

第 1 図は、本発明の遅延計算プログラムの一実施例を示すフローチャート、第 2 図は、被測定回

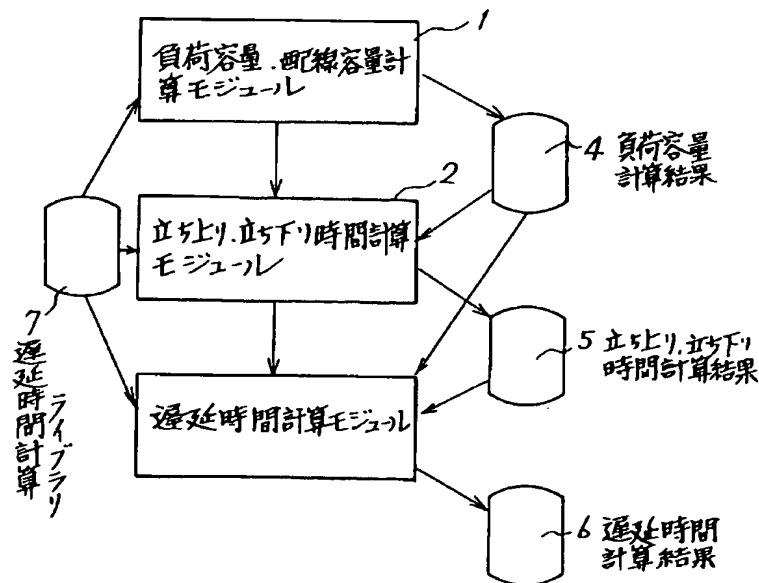
路の例を示す回路ブロック図、第 3 図は、伝達遅延時間の負荷特性の例を示すグラフ、第 4 図は、NOR ゲートの伝達遅延時間特性例を示すグラフ、第 5 図(a)および(b)は、それぞれ CMOS の NAND ゲートと NOR ゲートの等価回路図、第 6 図は、NAND ゲートと NOR ゲートの伝達特性を示すグラフである。

1 ……負荷容量、配線容量計算モジュール、2 ……立ち上り・立ち下り時間計算モジュール、3 ……遅延時間計算モジュール、4 ……負荷容量計算結果、5 ……立ち上り・立ち下り時間計算結果、6 ……遅延時間計算結果、7 ……遅延時間計算ライブラリ、10～10″ ……Pチャンネル型トランジスタ、11～11″ ……Nチャンネル型トランジスタ、12～12″ ……入力端子、13, 13′ ……出力端子、20, 22 ……NAND ゲート、21 ……NOR ゲート、 $C_{i1}$ ,  $C_{i2}$  ……入力端子容量、 $C_w$  ……配線容量。

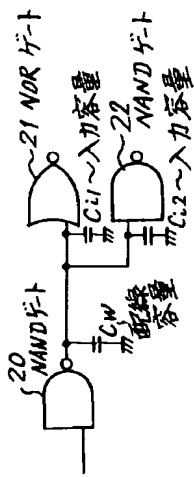
代理人 弁理士 内 原 晋

- 11 -

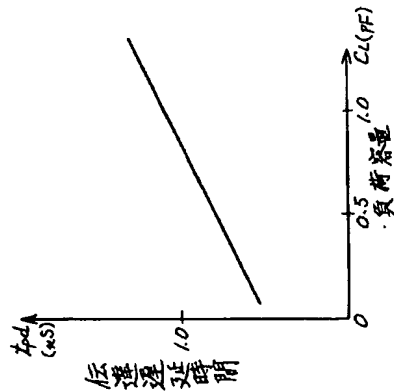
- 12 -



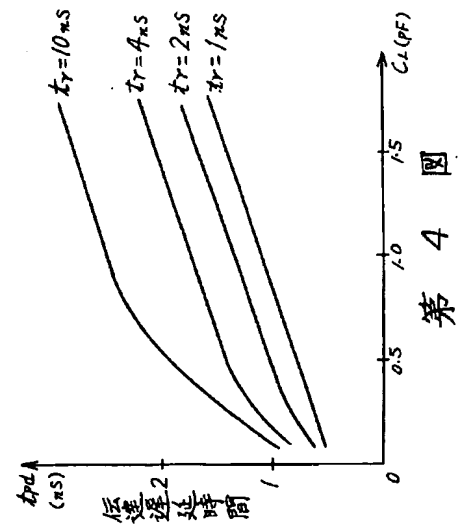
第 1 図



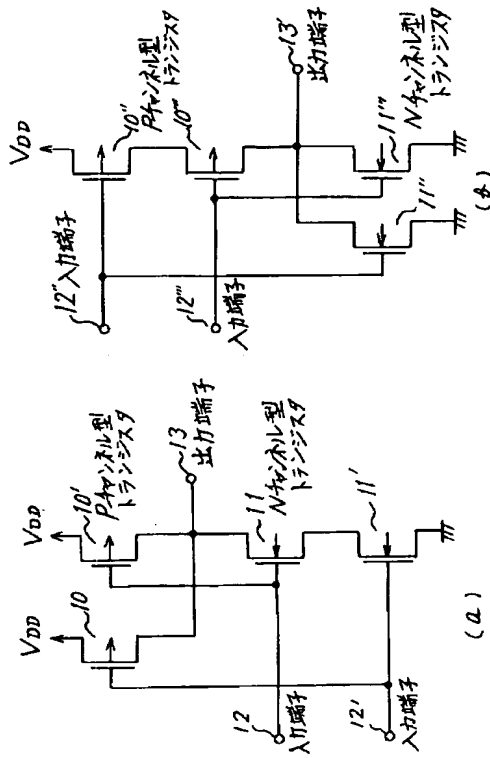
第 2 図



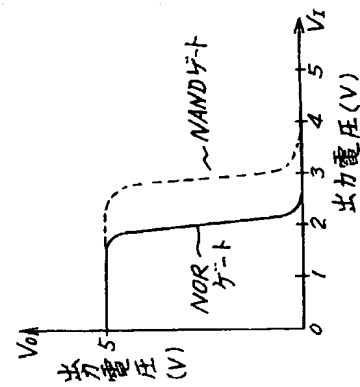
第 3 図



第 4 図



第 5 図



第 6 図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**